



P11274514





Patent Number:

JP11274514

Publication date:

1999-10-08

Inventor(s):

RYU SHUNKI; KO MUNSHAKU; KIN SHOKO

Applicant(s)::

SAMSUNG ELECTRONICS CO LTD

Requested Patent:

F JP11274514

MANUFACTURE OF THIN FILM TRANSISTOR

Application Number: JP19990023336 19990201

Priority Number(s):

IPC Classification:

H01L29/786; H01L21/336; G02F1/136; H01L21/3065

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To improve characteristics of a thin film transistor used for a liquid crystal display.

SOLUTION: A manufacturing step includes a step for forming a gate electrode on a substrate, a step for forming a gate insulating film covering the gate electrode, a step for forming an amorphous silicon layer on the gate insulating film, a step for forming a doped amorphous silicon layer on the amorphous silicon layer, a step for forming a source electrode and a drain electrode on both sides of the amorphous silicon layer on the doped amorphous silicon layer, a step for treating the doped amorphous silicon layer in a dry etching step, and a step for carrying out an oxygen plasma step.

Data supplied from the esp@cenet database - I2





(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平11-274514

(43)公開日 平成11年(1999)10月8日

(51) Int.Cl. ⁶ H 0 1 L 29/786 21/336 G 0 2 F 1/136 H 0 1 L 21/3068	識別記号 500	FI H01L 29/78 G02F 1/136 H01L 21/302 29/78	6 1 6 L 5 0 0 J 6 2 7 Z
HUIL 21/3000	·	•	: 請求項の数21 OL (全 16 頁)
(21)出願番号	特願平11-23336	(71)出願人 390019 三星電	839 子株式会社
(22)出願日	平成11年(1999) 2月1日	大韓民 (72)発明者 柳 春	国京畿道水原市八達区梅灘洞416 基
(32)優先日	1998年1月30日	5	国京畿道水原市勧善区勧善洞1169-
(33)優先権主張国 (31)優先権主張番号 (32)優先日	韓国(KR) 1998P36232 1998年9月3日	大韓民	むん▼ 杓 国京畿道城南市盆唐区亭子洞ジョン ウル 宇星アパート609棟1705号
(33)優先権主張国	韓国(KR)		甲 国ソウル特別市松坡区可楽洞479番 市営アパート111棟202号
			小野 由己男 (外1名)

(57)【要約】

【課題】 液晶表示装置に用いられる薄膜トランジス 夕の特性を向上させる。

【解決手段】 基板上にゲート電極を形成する段階と、前記ゲート電極を覆うゲート絶縁膜を形成する段階と、前記ゲート電極上の前記ゲート絶縁膜上に非晶質シリコン層を形成する段階と、前記非晶質シリコン層とにドーピングされた非晶質シリコン層を形成する段階と、前記ドーピングされた非晶質シリコン層を中心にして両側にソース電極とドレイン電極とを形成する段階と、前記ドーピングされた非晶質シリコン層を乾式エッチングする段階と、酸素プラズマエ程を実施する段階とを含む。

気体理策	底 食
Cl2 +SF6	*
HCl+SF.	#
HCl+CF₄	有
1st:Cl:+SF。 2nd:0: プラズマ	#

【特許請求の範囲】

【請求項1】基板上にゲート電極を形成する段階と、 前記ゲート電極を覆うゲート絶縁膜を形成する段階と、 前記ゲート電極上の前記ゲート絶縁膜上に非晶質シリコ ン層を形成する段階と、

前記非晶質シリコン層上にドーピングされた非晶質シリコン層を形成する段階と、

前記ドーピングされた非晶質シリコン層上に前記非晶質シリコン層を中心にして両側にソース電極とドレイン電極とを形成する段階と、

前記ドーピングされた非晶質シリコン層を乾式エッチングする段階と、

酸素プラズマ工程を実施する段階と、を含む薄膜トランジスタの製造方法。

【請求項2】前記酸素プラズマ工程は前記乾式エッチング段階以降に原位置のままで実施する請求項1に記載の薄膜トランジスタの製造方法。

【請求項3】前記ソース電極及びドレイン電極はアルミニウムまたはアルミニウム合金の単一膜またはこれらを含む二重膜で形成する請求項2に記載の薄膜トランジスタの製造方法。

【請求項4】前記酸素プラズマを実施する段階における 圧力は1000mTorr以下である請求項3に記載の 薄膜トランジスタの製造方法。

【請求項5】前記酸素プラズマ工程を実施する段階における電力は1000ワット以下である請求項4に記載の薄膜トランジスタの製造方法。

【請求項6】前記乾式エッチング段階で用いられるエッチング用の気体はC1気体を含む請求項5に記載の薄膜トランジスタの製造方法。

【請求項7】前記酸素プラズマ工程を実施する段階において、 CH_4 、 SF_6 、 C_2F_6 、 CHF_3 、 C_2F_8 気体を追加することも可能である請求項6に記載の薄膜トランジスタの製造方法。

【請求項8】基板上にゲート電極を形成する段階と、 前記ゲート電極を覆うゲート絶縁膜を形成する段階と、 前記ゲート電極上の前記ゲート絶縁膜上に非晶質シリコ ン層を形成する段階と、

前記非晶質シリコン層上にドーピングされた非晶質シリコン層を形成する段階と、

前記ドーピングされた非晶質シリコン層にソース電極と ドレイン電極とを形成する段階と、

前記ソース電極とドレイン電極とをマスクにして前記ドーピングされたシリコン層をHCl+CF4+O2気体を用いて乾式エッチングする段階と、を含む薄膜トランジスタの製造方法。

【請求項9】前記ソース電極及びドレイン電極はモリブデンまたはモリブデンータングステン合金の単一膜またはこれらを含む二重膜で形成する請求項8に記載の薄膜トランジスタの製造方法。

【請求項10】前記O₂の流量は前記CF₄流量の1/5以下である請求項8に記載の薄膜トランジスタの製造方法。

【請求項11】前記O₂の流量は100sccm以下である請求項8に記載の薄膜トランジスタの製造方法。

【請求項12】基板上にゲート電極を形成する段階と、 前記ゲート電極を覆うゲート絶縁膜を形成する段階と、 前記ゲート電極上の前記ゲート絶縁膜上に非晶質シリコ ン層を形成する段階と、

前記非晶質シリコン層上にドーピングされた非晶質シリコン層を形成する段階と、

前記ドーピングされた非晶質シリコン層上に前記非晶質 シリコン層を中心にして両側にソース電極とドレイン電 極とを形成する段階と、

前記ドーピングされた非晶質シリコン層を乾式エッチングする段階と、

ヘリウムプラズマ工程を実施する段階と、を含む薄膜ト ランジスタの製造方法。

【請求項13】前記ヘリウムプラズマ工程は前記乾式エッチング段階以降に原位置のままで実施する請求項12に記載の薄膜トランジスタの製造方法。

【請求項14】前記ソース電極及びドレイン電極は、モリブデンまたはモリブデンータングステン合金で形成する請求項13に記載の薄膜トランジスタの製造方法。

【請求項15】前記乾式エッチング段階において、エッチング用の気体としては CF_4 +HClを用いる請求項14に記載の薄膜トランジスタの製造方法。

【請求項16】基板上にゲート電極を形成する段階と、前記ゲート電極を覆うゲート絶縁膜を形成する段階と、前記ゲート電極上の前記ゲート絶縁膜上に非晶質シリコン層を形成する段階と、

前記非晶質シリコン層上にドーピングされた非晶質シリコン層を形成する段階と、

前記ドーピングされた非晶質シリコン層上に金属膜を蒸 着する段階と、

前記金属膜上にフォトレジストパターンを形成する段階 *ト*

前記フォトレジストパターンをマスクにして前記金属膜をエッチングすることでソース電極とドレイン電極を形成する段階と、

前記フォトレジストパターンを除去する段階と、

前記ソース電極とドレイン電極とをマスクにして前記ドーピングされた非晶質シリコン層を乾式エッチングする 段階と、

ヘリウムプラズマ工程を実施する段階と、を含む薄膜ト ランジスタの製造方法。

【請求項17】前記ヘリウムプラズマ工程は前記乾式エッチング段階以降に原位置のままで実施する請求項16に記載の薄膜トランジスタの製造方法。

【請求項18】前記ソース電極及びドレイン電極は、モ

リブデンまたはモリブデンータングステン合金で形成する請求項17に記載の薄膜トランジスタの製造方法。

【請求項19】基板上にゲート電極を形成する段階と、前記ゲート電極を覆うゲート絶縁膜を形成する段階と、前記ゲート電極上の前記ゲート絶縁膜上に非晶質シリコン層を形成する段階と、

前記非晶質シリコン層上にドーピングされた非晶質シリコン層を形成する段階と、

前記ドーピングされた非晶質シリコン層上に金属膜を蒸着する段階と、

前記金属膜上にフォトレジストパターンを形成する段階と、

前記フォトレジストパターンをマスクにして前記金属膜をエッチングすることでソース電極とドレイン電極を形成する段階と、

前記フォトレジストパターンをマスクにして前記ドーピングされた非晶質シリコン層を乾式エッチングする段階と、

前記フォトレジストパターンを除去する段階と、

ヘリウムプラズマ工程を実施する段階と、を含む薄膜トランジスタの製造方法。

【請求項20】前記ヘリウムプラズマ工程は前記乾式エッチング段階以降に原位置のままで実施する請求項19に記載の薄膜トランジスタの製造方法。

【請求項21】前記ソース電極及びドレイン電極は、モリブデンまたはモリブデンータングステン合金で形成する請求項20に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明は、薄膜トランジスタ 液晶表示装置の製造方法に関する

[0002]

【従来の技術】最近、平板表示装置の一つとして人気を 集めている薄膜トランジスタ液晶表示装置は、水素化された非晶質シリコン層を薄膜トランジスタの半導体層と して用い、非晶質シリコン層とその上に形成されるソース及びドレイン電極との接触抵抗を減らすための抵抗接 触層としてn型の高濃度にドーピングされた非晶質シリコン層を用いる。エッチバック型の薄膜トランジスタの 場合、通常、ソース電極とドレイン電極をマスクにして ドーピングされた非晶質シリコン層をエッチングし、こ の過程でソース電極とドレイン電極が共に削られてしま うという問題点があった。

[0003]

【発明が解決しようとする課題】このような問題点を解決するために、ソース電極とドレイン電極の形成の際に用いられるフォトレジストパターンをマスクにしてドーピングされた非晶質シリコン層をエッチングし、フォトレジストパターンを後に除去する方法を用いることができる。しかしながら、この場合、硬化したフォトレジス

トパターンを除去する過程で非晶質シリコン層が影響を 受けることにより、薄膜トランジスタの特性が低下する という他の問題点があった。

【0004】本発明は、前記に鑑みてなされたもので、 その目的は、液晶表示装置に用いられる薄膜トランジス 夕の特性を向上させることにある。

....[0005]

【課題を解決するための手段】前記目的を達成するために、本発明は、薄膜トランジスタの抵抗接触層として用いられるドーピングされた非晶質シリコン層を乾式エッチングした後、酸素またはヘリウムプラズマ工程を実施する。

【0006】ここで、乾式エッチングマスクとして用いるソース電極とドレイン電極とを含むデータ配線がモリプデンまたはモリブデン合金である場合にはヘリウムプラズマ工程を実施し、データ配線がアルミニウムまたはアルミニウム合金である場合には酸素プラズマ工程を実施する。

【0007】ドーピングされた非晶質シリコン層をエッチングした後には、真空状態を変化させずに原位置のまま(in-situ)でヘリウムまたは酸素プラズマ処理を施すことにより、薄膜トランジスタの特性が低下することを防止したりアルミニウムまたはアルミニウム合金の腐食を防止する。

【0008】ドーピングされた非晶質シリコン層を乾式エッチングする時には、ハロゲン化水素気体と CF_4 、 CHF_3 、 $CHC1F_2$ 、 CH_3 F及び C_2 F $_6$ のうちの少なくとも一つの気体を用いるのが好ましく、特にHC1+ CF_4 気体を用いるのが好ましい。

【0009】また、データ配線がモリプデンまたはモリプデン合金である場合には、酸素を追加した乾式エッチング用の気体としてHC1+CF₄+О₂を用いて薄膜トランジスタの特性が低下することを防止する。

【0010】ドーピングされた非晶質シリコン層は、ソース電極とドレイン電極またはソース電極とドレイン電極とを形成するためのフォトレジストパターンをマスクにしてエッチングすることができる。

[0011]

【発明の実施の形態】以下、本発明の実施例について図面に基づいて詳細に説明する。

【0012】最初に、本発明の第1実施例による薄膜トランジスタ基板の構造について説明する。図1は本発明の第1実施例による薄膜トランジスタ基板の配置図であり、図2乃至図4はそれぞれ図1のII-II′、III-II I′、IV-IV′線に沿って示した断面図である。基板10上にはゲート線20及びその分枝であるゲート電極21、そしてゲート線20の端部に形成されているゲートパッド22からなるゲートパターンが形成されている。ゲート電極21及びゲートパッド22はそれぞれ下層のクロム膜211、221と上層のアルミニウムーネオジ

ム合金膜212、222とからなっており、ゲートパッド部分の上層のアルミニウムーネオジム合金膜222は除去されている。図面には示されていないが、ゲート線20もまたクロム膜とアルミニウムーネオジム合金膜の二重膜で形成されている。ここで、ゲートパッド22は外部からの走査信号をゲート線20に伝達する。

45

【0013】ゲートパターン20、21、22上にはゲート絶縁膜30が形成されており、このゲート絶縁膜30はゲートパッド22の下層のクロム膜221を露出する接触孔72を有している。ゲート電極21の上部のゲート絶縁膜30上には水素化された非晶質シリコン層40及びn+型の不純物で高濃度にドーピングされ水素化された非晶質シリコン層51、52がゲート電極21を中心にして両側に形成されている。

【0014】ゲート絶縁膜30上にはまた、縦にデータ線60が形成されており、その一端部にはデータパッド63が形成されて下部からの画像信号を伝達する。データ線60の分枝であるソース電極61がドーピングされた非晶質シリコン層51上に形成されており、ソース電極61の向い側に位置したドーピングされた非晶質シリコン層52上にはドレイン電極62が形成されている。データ線60、ソース電極及びドレイン電極61、62、データパッド63を含むデータパターンはモリブデンータングステン合金膜からなっている。

【0015】データパターン60、61、62、63及びこのデータパターンで覆えない非晶質シリコン層40上には保護膜70が形成されており、この保護膜70にはゲートパッド22の下層のクロム膜221、ドレイン電極62、データパッド63を露出する接触孔72、71、73がそれぞれ形成されている。

【0016】最後に、保護膜70上には、接触孔71を通じてドレイン電極62と連結され、かつITOで作られた画素電極80と、露出したゲートパッド22の下層のクロム膜221と接続されて外部からの信号をゲート線20に伝達するゲートパッド用ITO電極81と、データパッド63と接続されて外部からの信号をデータ線60に伝達するデータパッド用ITO電極82とが形成されている。

【0017】以下、図1乃至図4に示したような薄膜トランジスタ基板の製造方法について説明する。図5A乃至図8Cは本発明の実施例による薄膜トランジスタ基板の製造方法を示した断面図である。図面番号で添付符号A、B、Cはそれぞれ薄膜トランジスタ部分、ゲートパッド部分及びデータパッド部分を示す。本実施例で提示する製造方法は5枚のマスクを利用した製造方法である。

【0018】まず、図5A乃至図5Cに示したように、透明な絶縁基板10上にクロムとアルミニウムーネオジム合金を順に積層し、第1マスクを用いて写真エッチングしてゲート線(図示しない)、ゲート電極21及びゲ

ートパッド22を含む二重膜のゲートパターンを形成する。

【0019】ゲートパターンはモリブデン、モリブデンータングステン合金などで形成することも可能であり、アルミニウムまたはアルミニウム合金のうちの一つの物質と、モリブデンまたはモリブデンータングステン合金のうちの一つの物質とからなる二重膜またはクロムとアルミニウムとの二重膜で形成することも可能である。

【0020】図6Aに示したように、窒化シリコンからなるゲート絶縁膜30、水素化された非晶質シリコン層40及びn型の不純物で高濃度にドーピングされ水素化された非晶質シリコン層50を順に積層した後、ドーピングされた非晶質シリコン層50及び非晶質シリコン層40を第2マスクを用いて写真エッチングする。この時、ゲート絶縁膜30は全面にわたって形成されるので、図6B及び図6Cに示したように、ゲートパッド部分とデータパッド部分もゲート絶縁膜30で覆われるようになる。

【0021】図7A乃至図7Cに示したように、ドーピングされた非晶質シリコン層50上にモリブデンまたはモリブデンータングステン合金などの金属膜を積層した後、第3マスクを用いて湿式エッチングしてデータ線(図示しない)、ソース電極61及びドレイン電極62、データパッド63を含むデータパターンを形成する。

【0022】データパターンはクロム、タンタル、アルミニウム、アルミニウム合金など種々の導電物質からなることができ、クロムとモリブデンまたはモリブデン合金のうちの一つを組合わせた二重膜で形成することも可能である。

【0023】次いで、ソース/ドレイン電極61、62をマスクにして、露出しているドーピングされた非晶質シリコン層50をプラズマ乾式エッチングして、ゲート電極21を中心にして両側に分離させる一方、ドーピングされた両側の非晶質シリコン層51、52間の非晶質シリコン層40を露出させる。

【0024】この時、データパターンをアルミニウムまたはアルミニウム合金を用いて形成する場合、露出するゲート絶縁膜30とデータパターン60、61、62、63とに対するドーピングされた非晶質シリコン層50のエッチング選択比が優秀で、ドーピングされた非晶質シリコン層50と非晶質シリコン層40に対するエッチング速度を制御するためには、フッ化物気体(SF_6 、 CF_4 など)と塩化物気体(HC1、 $C1_2$ など)との混合気体を用いる。しかし、このような気体、特に塩化物気体を用いる場合、ドーピングされた非晶質シリコン層をエッチングする時、アルミニウムまたはアルミニウムを変をエッチングする時、アルミニウムまたはアルミニウムを変を変更を変更ない、配線が断線する可能性が高くなる。この食させるため、配線が断線する可能性が高くなる。この

ような問題点を改善するために酸素プラズマ工程を適用するのが好ましい。

【0025】図9は乾式エッチング用気体に対するアルミニウムまたはアルミニウム合金からなる配線の腐食を示した図表である。図9に示したように、乾式エッチング用気体として $C1_2+SF_6$ 、HC1+CF $_4$ のみを適用する場合には腐食が発生することを表し、乾式エッチング用気体として $C1_2+SF_6$ を用いて酸素プラズマを適用した結果、腐食が発生しないことを表している。

【0026】このような結果から、塩化物気体を含む乾式エッチング用気体として用いる場合、酸素プラズマエ程を実施することによってアルミニウムまたはアルミニウム合金の腐食を防止することができることがわかる。この時、酸素プラズマ工程において、 CH_4 、 SF_6 、 C_2F_6 、 CHF_3 、 C_2F_8 などの気体を微量含めることが可能である。

【0027】図10及び図11は酸素プラズマ工程を実施した場合の薄膜トランジスタの電圧-電流の特性を示したグラフである。ここで、酸素プラズマ工程を適用する際の電力はそれぞれ500、800、1000wattsであり、圧力はそれぞれ400、600, 800、1000mTorrである。

【0028】図10及び図11に示したように、酸素プラズマ処理を施した場合、オフ電流 Ioffは0.2p A以下であり、オン電流 $Ionは2.0~2.2\mu$ A間で測定され、降伏電圧Vthは3~3.7V間で測定され、勾配は<math>99~101範囲内で測定された。

【0029】従って、図9乃至図11の結果から、酸素プラズマ工程を適用する場合、アルミニウムまたはアルミニウム合金からなる配線の腐食を防止して配線の断線を防ぐことができ、薄膜トランジスタの特性が低下しない条件で良好な結果が測定されることがわかる。

【0030】このように、データパターンをマスクにしてドーピングされた非晶質シリコン層をエッチングし、乾式エッチングの際にアルミニウムまたはアルミニウム合金の腐食を防止するために酸素プラズマ工程を適用する方法は、平面駆動方式を適用する液晶表示装置、すなわち、二つの基板のうち、一つの基板に形成された共通電極及び画素電極を利用して液晶を駆動する液晶表示装置の製造方法にも同様に適用される。また、アルミニウムまたはアルミニウム合金を含む二重膜でデータパターンを形成する場合においても同様に適用することができる。ここで、酸素プラズマ工程は原位置のまま(in-situ)で実施する。

【0031】また、データパターンをモリブデンまたは モリブデンータングステン合金を用いて形成する場合、 ドーピングされた非晶質シリコン層50をエッチングす るための乾式エッチング用気体はモリブデンやモリブデ ンータングステン合金膜を容易にエッチングするので、 これのエッチング速度が100 A/min以下となるようにエッチング用気体を選択しなければならない。ハロゲン化水素気体と CF_4 、 CHF_3 、 $CHClF_2$ 、 CH_3 F及び C_2F_6 のうちの少なくとも一つの気体がこれに適合し、特に CF_4 +HCl気体を用いるのが好ましい。【0032】図12は常圧下で耐火性金属ハロゲン化物の揮発及び昇華温度を示した図表であり、図13は本発明の第1実施例による薄膜トランジスタの製造方法のうちの乾式エッチング用気体に対するモリブデンータング

ステン合金のエッチング速度を示した図表である。図1

2でsと示したものは昇華温度である。

【0033】ソース/ドレイン電極をマスクにしてドー ピングされた非晶質シリコン層をエッチングする工程で は、ドーピングされた水素化非晶質シリコン (n+a-S i:H) と水素化非晶質シリコン (intrinsic a-Si:H) に対する十分なエッチング速度を確保しながら、非晶質 シリコン層の下部膜である窒化シリコンなどからなるゲ ート絶縁膜との十分な選択比を持たせるためには、フッ 化物気体(SF₆、CF₄など)と塩化物気体(HC1、 でⅠ₂など)との混合気体を用いなければならない。し かし、図12に示したように、耐化学性金属であるモリ ブデンやタングステンのハロゲン化合物であるWF。 WCl₆、MoF₆、MoCl₅または酸化ハロゲン化合 物であるWOF4、WOC14、MoOF4、MoOC14 の揮発温度や昇華温度が低いため、非晶質シリコンがエ ッチングされる間に相当量のモリプデンータングステン 合金膜が同時にエッチングされることにより、エッチン グ量のモニタリングが不可能となり、エッチングチャン バを汚染させて異物質(particle)が発生するなどの現 象が生じる。一方、ハロゲン化シリコンSiF4、Si C14の揮発温度は-85度と60度であって非常に低 く、ハロゲン化アルミニウムAIF₃、AICl₃の場合 は昇華温度が1290度と180度という高い温度であ

【0035】水素化非晶質シリコンはフッ素と塩素プラズマ工程で共に揮発性の高い物質を形成することができるが、図12に示したように、モリブデンータングステン合金の場合は常圧下でフッ化物 $M\circ F_6$ 、 $M\circ OF_4$ 、 WF_6 、 WOF_4 の揮発温度は低いが、塩化物 $M\circ C$ I_5 、 $M\circ OCI_4$ 、 WCI_6 , $WOCI_4$ の揮発温度は相対的に高いため、主にフッ素化合物(特に SF_6)を用いたプラズマ工程に弱いことがわかる。また、図13に示したように、モリブデンータングステン合金においてタングステン含量が増加する時にエッチング量が多少増

加する傾向を表すが、これはフッ化タングステンWF $_6$ の揮発温度がフッ化モリブデンMoF $_6$ のそれより低いため、タングステンの含量が増加する時にエッチング速度が増加するという一般の予想とも一致する。相対的にSF $_6$ +Cl $_2$ 気体を用いた場合に比べてSF $_6$ +HCl気体を用いた場合のエッチング量が多少少ないが、これはCl $_2$ に比べてHCl気体がClイオン生成度が低いからである。しかし、SF $_6$ 気体をフッ素イオンのソースとして用いる場合には重合が容易になされないため、いずれの場合においてもモリブデンータングステン合金が多くエッチングされる結果を表している。

【0036】一方、 CF_4 +HC1気体を用いる場合、モリプデンータングステン合金のエッチング量を減らすことができる。図14は CF_4 +HC1気体を用いた場合のモリプデンータングステン合金のエッチング速度を示したグラフである。この時のエッチング条件は80パスカルの圧力と800ワットの電力であり、 CF_4 +HC1気体の流量は500sccmである。

【0037】図14に示したように、乾式エッチング用 気体として $HC1+CF_4$ を用いる場合、 $15\sim80$ Å /min程度のエッチング速度でデータパターン61、 62のモリブデン合金がエッチングされた。

【0038】このような結果を図13と比較すると、H $C1+SF_6$ または $C1_2+SF_6$ を用いる場合より、非 常に少ない量がエッチングされることがわかる。これは HC1気体のHがモリプデンータングステン合金の主要 エッチング成分であるフッ素の濃度を減少させると共 に、エッチング表面にフッ化炭素重合体膜 [- (CF) 。-]を吸着させる重合効果を強化させることによって エッチング速度を減少させているのである。また、一般 にCF₄を用いた場合はSF₆気体を用いた場合に比べて エッチング速度が遅い。これは、このようなイオン化条 件でCF₄気体に比べてSF₆気体がより多い自由フッ素 イオンを生成することにより、同一条件でフッ素イオン の濃度に差が出るのが原因であると考えられる。特にH C1気体と混合される場合、フッ化炭素重合体膜の生成 が強化されてエッチング速度が低くなり、高いフッ素対 炭素比(F/C)でエッチングが起こるモリブデンータ ングステン合金の場合にはエッチング速度が急激に減少 する。従って、CF4+HC1気体を用いる場合、モリ プデンータングステン合金のエッチング量を著しく減少 することができる。

【0039】図15乃至図17は、図13のようにCF 4+HCl気体を用いてドーピングされた非晶質シリコン層を乾式エッチングする場合、圧力、電力、流量に応じたエッチング速度と均一度を示した。

【0040】図15は圧力を変化させながらエッチング 量と均一度を測定したグラフであって、圧力の増加に応 じてエッチング量が徐々に増加し、800mTorrの 圧力下では均一度が大きく増加することがわかる。 【0041】図16に示したように、電力を増加させる場合においてもエッチング量は徐々に増加し、1000ワットの電力を用いた場合に均一度が最も良好であることがわかる。

【0042】図17に示したように、 CF_4 +HC1気体の流量を高める場合には均一度が増加し、流量が60 0 s c c mの際にエッチング量は最大になることと表している。

【0043】上記のような結果から、CF₄+HC1気体を用いる条件ではデータ配線としてモリプデンータングステン合金を適用しても、ドーピングされた非晶質シリコンをエッチングする間にマスクとして用いられるモリプデンータングステン合金膜のエッチング量を50Å以下に保持することができる。

【0044】図18はCF4+HC1気体を用いてドー ピングされた非晶質シリコン層をエッチングした薄膜ト ランジスタの特性を測定したグラフである。-5Vのゲ ート電圧でオフ電流は10pA以上を表し、20Vのゲ ート電圧でオン電流は4μA以上の値を表している。結 果的に、オン状態の電流特性は良好であるが、オフ状態 の電流特性は満足な結果が得られない。しかし、保護膜 を蒸着する前に水素プラズマ工程を実施する場合、オフ 状態の電流特性を回復することができる。これはドーピ ングされた非晶質シリコン層をエッチングした後、チャ ンネル部の表面にモリブデンやタングステン金属のイオ ン拡散とケイ化物(silicide)の形成や金属エッチング 副産物の再蒸着などで伝導性のある層が数乃至数十人以 内に形成され、その後、水素プラズマ工程を実施する時 に除去されるか希釈されることによよってチャンネル部 の界面特性が向上したためと推定される。

【0045】保護膜を蒸着する前に原位置のまま(in-situ)でヘリウムプラズマ工程を実施する場合、よりよい結果が得られる。

【0046】図19はヘリウムプラズマ工程を実施した 場合の薄膜トランジスタの電圧-電流特性を示したグラ フである。図19に示したように、ヘリウムプラズマ処 理を施した場合、水素プラズマ処理を施した場合と同一 程度のIoff改善効果が得られることがわかる。すな わち、Ioff電流が1pA以下に低くなった。それだ けでなく、ヘリウムプラズマ処理を施した場合、水素プ ラズマ処理を施した場合に発生するIon特性の低下が 表れなかった。これはHCl+CF₄気体を用いる条件 が多量の炭素重合体を形成させながら金属配線を保護 し、フッ素ラジカルを利用してシリコン膜をエッチング する条件であるため、効果的に重合体を除去しなければ 薄膜トランジスタの特性低下現象を防止することできな い。このためには、エッチングの際に固まった重合体を 弱化させた後、洗浄工程と熱処理(annealing)工程を 通じて除去しなければならない。図19に示した結果は このような事実を裏付けるものであり、図20はHC1

+CF₄気体を用いたエッチング条件でエッチング直後に確認された化合物の種類と量を示す。図20からわかるように、Moイオンが最も多い量を占め、MoO、MoH、MoCなどの化合物が検出される。このような化合物が生成、揮発しながら配線を保護する役割を果すことによってエッチング量を減らし、また、このような化合物によって薄膜トランジスタの特性を低下させる現象が引起こされる。

【0047】上述した方法、すなわち、水素またはヘリウムプラズマ処理方法は、乾式エッチング工程を実施した後の薄膜トランジスタの特性低下現象を防止するために2次的に実施する工程である。しかし、乾式エッチング工程のみで薄膜トランジスタの特性低下現象を防止することができる。この時、乾式エッチング用気体は塩素系気体とフッ素系気体と酸素とを混合した気体であり、より望ましくはHC1+CF₄+O₂気体を用いる。これについて詳細に説明する。

【0048】図21及び図22は、HC1+CF4気体を用いてドーピングされた非晶質シリコン層を乾式エッチングする工程を反復的に実施した場合のモリプデンータングステン合金のエッチング量と非晶質シリコン層のエッチング速度を示したグラフである。図21は図22の場合よりも高い圧力で実施した結果である。

【0049】ここで、横軸は乾式エッチングを実施した回数を示し、15回の測定結果であり、縦軸の右側は非晶質シリコン層のエッチング速度であり、縦軸の左側はモリプデンータングステン合金のエッチング量を抵抗で示したものである。

【0050】図21及び図22に示したように、乾式エ ッチングを反復的に数回実施することによって非晶質シ リコン層のエッチング速度は減少し、モリプデンータン グステン合金のエッチング量は、抵抗が減少することを 示すことから、低くなると判断される。これは乾式エッ チングが実施される時、重合体が多量に形成されると共 にモリプデンを含む化合物が形成されるが、円滑に排気 できなくてエッチング用チャンバ内に残留することによ り、非晶質シリコン層がエッチングされることを妨害す るからである。また、この時、金属エッチングの副産物 の再蒸着などで伝導性を有する膜が形成されるからで る。図22に示したように、圧力を低めると、高い圧力 の場合より重合体の排出が円滑になされることにより、 非晶質シリコン層のエッチング速度が700Å/min 以上で図21の場合より改善されたことを示した。しか し、依然として低い圧力の条件でもモリブデンを含む化 合物は除去されないため、薄膜トランジスタの Ioff 特性は改善できなかった。これを改善するためにHCI + C F 4気体に酸素を追加した。

【0051】図23乃至図26はHC1+CF₄気体に酸素を追加した場合、非晶質シリコン層とモリブデンータングステン合金のエッチング最を測定したグラフ及び

図表である。図23及び図24はHClが200sccm、CF4が50sccmの場合であり、図25及び図26はHClが200sccm、CF4が200sccmの場合である。ここで、圧力は400mTorr、電力は800ワット、時間は60secの同一条件下であり、酸素量は0~100sccmの範囲での20、50、100sccmそれぞれのエッチング比とエッチング量を測定した。

【0052】まず、図23及び図24に示したように、酸素量が20sccmである場合は589及び650Å/minと類似した値を示し、50及び100sccmに増加させる場合には非晶質シリコン層及びモリプデンータングステン合金のエッチング速度が互いに大きな差を示し、エッチング選択比が増加することが示された。ここで、エッチング速度が負の値で示されることから、多量の重合体が形成されることがわかる。これを通じ、酸素気体量が増加すると、非晶質シリコン層とモリブデンータングステン合金のエッチング選択比が向上することがわかる。

【0053】以下、図25及び図26に示したように、 CF4気体を200sccmに増加させる場合においても非晶質シリコンとモリブデンータングステン合金のエッチング選択比が向上することがわかり、酸素量を増加させる場合にはモリブデンータングステンのエッチング量が増加してから減少することを示した。酸素量がが100sccmである場合には多量の重合体が形成されることがわかる。

【0054】結局、酸素量を100sccm以下の範囲で添加し、 CF_4 気体量を調節することにより、非晶質シリコンとモリブデンまたはモリブデンータングステン合金の良好なエッチング選択比が得られることがわかる。この時、酸素の流量は CF_4 の流量の1/5以下であるのが好ましい。

【0055】図27及び図28はHC1+CF₄+O₂を 乾式エッチング用気体として用いた場合の薄膜トランジ スタの特性を示したグラフである。ここで、圧力は40 0mTorr、電力は800ワット、HC1は200s ccm、CF₄は200sccm、O₂は100sccm 以下、時間は80secの条件で実施した。

【0056】図27及び図28に示したように、Ioff特性は、ヘリウムプラズマ処理及び酸素を添加しない場合に最も悪い値が測定され、酸素を添加した場合に最も良好である。Ion特性も酸素を添加した場合に良好であり、しきい電圧も最も高い。

【0057】図29はHC1+CF4+O₂気体を用いてドーピングされた非晶質シリコン層を乾式エッチングする工程を反復的に進行した場合、モリブデンータングステン合金のエッチング量と非晶質シリコン層のエッチング速度を示したグラフである。

【0058】ここで、横軸は乾式エッチングを進行した

回数を示し、15回測定した結果であり、縦軸の右側は 非晶質シリコン層のエッチング速度であり、縦軸の左側 はモジブデンータングステン合金のエッチング量を抵抗 で示したものである。

【0059】図29に示したように、HC1+CF4+O2気体を用いて乾式エッチングを実施する場合には、モリブデンータングステン合金の抵抗及び非晶質シリコンのエッチング速度が毎回異なっている。これは、図21及び22とは著しく異なっている。

【0060】このような結果を通じ、HC1+CF₄+O₂気体を用いて乾式エッチングを実施する場合には、追加的なプラズマ処理を施すことなく一回の乾式工程で薄膜トランジスタの特性を向上させることができる。また、反復的に工程回数が増加するほど発生する非晶質シリコンのエッチング速度及びモリブデンまたはモリブデン合金のエッチング量の減少を防止することができる。

【0061】次に、図8A乃至図8Cに示したように、保護膜70を積層した後、第4マスクを利用して絶縁膜30と共に写真エッチングし、ドレイン電極62を露出する接触孔71を形成し、ゲートパッド22とデータパッド63も露出させる。この時、ゲートパッド22の上層のアルミニウムーネオジム合金膜222はパッド用の物質として適当でないから共に除去し、下層のクロム膜221を露出させる。

【0062】最後に、図2乃至図4に示したように、ITOを積層し、第5マスクを利用して乾式エッチングし、接触孔71を通じてドレイン電極62と接続された画素電極80を形成し、ゲートパッド22及びデータパッド63とそれぞれ接続するゲートパッド用ITO電極81及びデータパッド用ITO電極82を形成する。

【0063】ゲートパッド22の上層をモリブデン合金 膜で形成するなら、ゲートパッドの上層を除去する必要 はない。

【0064】本発明の第1実施例とは異なり、フォトレジストパターンをマスクにしてドーピングされた非晶質シリコン層をエッチングし、フォトレジストパターンを除去した後、ヘリウムプラズマ工程を実施することも可能である。本発明の第2実施例ではこのような製造方法を提示する。

【0065】図30は本発明の第2実施例による薄膜トランジスタの製造方法を示した断面図である。本発明の第2実施例においては、図30に示したように、フォトレジスト900をマスクにして湿式エッチング方法を通じ、モリブデン合金からなる金属膜をパターニングすることでデータパターン610、620がエッチングされることを防止するために、フォトレジスト900を除去しない状態で、これをマスクにしてドーピングされた非晶質シリコン層500をエッチングし、乾式エッチング用気体としては $HC1+SF_6$ を用いた。

【0066】ここで、フォトレジスト900を除去しなかったため、ソース/ドレイン電極610、620のモリプデン合金はエッチングされなかったが、両側に分離されているソース/ドレイン電極610、620間の側面の一部はエッチングされ、ソース/ドレイン電極610、620とその下層のドーピングされた非晶質シリコン層との間が直線形ではない階段形でパターンが形成される。

【0067】このような製造方法においては、乾式エッチングで硬化しているフォトレジスト900を除去するために、酸素気体を用いた灰化(ashing)工程を追加し、灰化工程以降に原位置のまま(in-situ)でヘリウムプラズマ工程を実施する。

【0068】図31はドーピングされた非晶質シリコン 層のエッチング量を比較するために、いろいろの条件を 利用して実験した結果を示した図表であり、図32は図 31と同様の条件で形成した薄膜トランジスタのEDS (electric data systeem) テスト結果を示す。EDS テストはパネル製造後の電気的な特性、すなわち、TF Tの特性のうちのIoff、Ion、Vth、Grad ient、抵抗、静電容量などをTEG (test element group) 部位で測定してパネルの特性及び性能を評価す ることを示し、この時、Ioffは-5Vのゲート電圧 と10Vのソース/ドレイン電圧を印加した時のドレイ ンに流れる電流量を示し、これは小さいほど有利であ り、Ionは20Vのゲート電圧と10Vのソース/ド レイン電圧を印加した時のドレインに流れる電流量を示 し、これは大きいほど有利である。Vthはしきい電圧 であり、Gradientはしきい電圧を求める直線の 傾きを示す。これらの値に基づいて電子の移動度を計算 することができ、図33はこれを示した図表である。

【0069】図31に示したように、条件1はデータパターン上のフォトレジストを先に除去した後、ドーピングされた非晶質シリコン層をエッチングし、ヘリウムプラズマ工程を実施した場合であり、この時、ドーピングされた非晶質シリコン層は1、283 Aがエッチングされた。条件2 と条件3 は、条件1 と類似して先にフォトレジストを除去した後に CF_4 +HC1 気体を用いてドーピングされた非晶質シリコン層をエッチングした後、灰化によって薄膜トランジスタの特性が変化することを調べるために灰化処理を施すか(条件2)、灰化後にインーシチュでヘリウムプラズマ処理を施したものである(条件3)。いずれの場合においてもドーピングされた非晶質シリコン層のエッチング量は1, 289 Aとなった

【0070】条件4万至条件6は共に、データパターンを形成するために設けたフォトレジストパターンを残した状態で、このフォトレジストパターンをマスクにしてドーピングされた非晶質シリコン層をエッチングした場合である。条件4の場合はドーピングされた非晶質シリ

コン層をエッチングし、ヘリウムプラズマ工程は実施しない状態で酸素気体を用いた灰化工程を実施した場合であって、この時のドーピングされた非晶質シリコン層は 1, $154\sim1$, 167 A程度にエッチングされた。条件5の場合は CF_4+HC1 気体を用いてドーピングされた非晶質シリコン層をエッチングし、灰化を行った後に水素プラズマ工程を実施した場合であって、ドーピングされた非晶質シリコン層のエッチング量は1, 166 Aであった。最後に、 CF_4+HC1 気体を用いてドーピングされた非晶質シリコン層をエッチングした後、酸素気体を用いて灰化を行い、インーシチュでヘリウムプラズマ処理を施した条件6の場合は、1, $114\sim1$, 211 A程度のドーピングされた非晶質シリコン層がエッチングされたことを示した。

【0071】次に、図32に示したEDSテスト結果 は、オフ状態の電流は条件4を除いてはすべて1 p A 以 下を示している。オン状態の電流はインーシチュでヘリ ウムプラズマ工程を実施した条件6の場合に4μΑで最 もいい結果を示す。しきい電圧はヘリウムプラズマ工程 を実施した条件3と条件6の場合が2.48乃至2.5 9程度で他の場合に比べて相対的に低く、しきい電圧を 求める直線の傾きであるGradientは条件1から 条件6に向けて次第に増加する。接触抵抗はフォトレジ ストを先に除去した条件1乃至3の場合が、フォトレジ ストをマスクにしてドーピングされた非晶質シリコン層 をエッチングした条件4乃至6の場合に比べて低い。ソ ース/ドレイン配線の抵抗は反対に、フォトレジストを マスクにしてドーピングされた非晶質シリコン層をエッ チングした条件4乃至6の場合が、フォトレジストを先 に除去した条件1乃至3の場合に比べて低い。

【0072】図32に示したようなEDSテスト結果に基づいて電子の移動度を計算することができる。電子の移動度は次の式で示す。

Mobility (μ fe) = (2 * (Grad) * L) / (W * Cj)

ここで、LとWはそれぞれ薄膜トランジスタのチャンネルの長さと幅を示す。図33に示したように、洗浄後の調査で測定したゲート配線の幅は、条件1万至条件3の場合に9.095 μ mであり、データ配線の幅は8.847 μ mである。Cjは単位面積当たりの静電容量を示す。設計によるチャンネルの幅と長さはそれぞれ14 μ mと3.5 μ mであり、実際に測定したチャンネルの幅と長さは条件1万至条件3の場合に12.847 μ mと4.653 μ mであり、条件4万至条件6の場合に12.870 μ mと4.630 μ mである。

【0073】このようなデータと上記の電子移動度の計算式を利用して条件1乃至6の電子移動度をそれぞれ計算すると、図33に示したように、条件6の場合に $0.937\sim0.961$ で最も大きく表れることがわかる。

これは測定値を利用して計算したため、誤差が発生し得るが、前述の実験結果とも類似した結果である。

[0074]

【発明の効果】以上説明したように、データパターンま たはデータパターンを形成するためのフォトレジストパ ターンをマスクにしてドーピングされた非晶質シリコン 層を乾式エッチングした後、原位置のままでヘリウムプ ラズマ工程を実施することにより、薄膜トランジスタの オン状態における電流特性を保持しながらオフ状態の電 流特性低下を防止することができる。また、乾式エッチ ング用気体としてHC1+CF4+〇2気体を用いること により、追加的なプラズマ処理を施すことなく一回の乾 式エッチング工程で薄膜トランジスタの特性を向上させ ることができ、反復的エッチング工程を実施しても非晶 質シリコンのエッチング速度及びモリプデンまたはモリ ブデン合金のエッチング量の減少を防止することができ る。また、酸素プラズマ工程を実施することにより、ア ルミニウムまたはアルミニウム合金からなる配線の腐食 を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例による薄膜トランジスタ基板の配置図である。

【図2】図1のII-II′線に沿って示した断面図である。

【図3】図1のIII-III′線に沿って示した断面図である。

【図4】図1のIV-IV′線に沿って示した断面図である。

【図5】本発明の第1実施例による薄膜トランジスタ基板の製造方法を示した断面図である。

【図6】本発明の第1実施例による薄膜トランジスタ基板の製造方法を示した断面図である。

【図7】本発明の第1実施例による薄膜トランジスタ基板の製造方法を示した断面図である。

【図8】本発明の第1実施例による薄膜トランジスタ基板の製造方法を示した断面図である。

【図9】乾式エッチング用気体に対するアルミニウム配線の腐食有無を示した図表である。

【図10】酸素プラズマの条件で電力と圧力に応じた薄膜トランジスタの特性を示したグラフである。

【図11】酸素プラズマの条件で電力と圧力に応じた薄膜トランジスタの特性を示したグラフである。

【図12】常圧下で耐火性金属ハロゲン化物の揮発及び 昇華温度を示した図表である。

【図13】本発明の第1実施例による薄膜トランジスタの製造方法のうち、乾式エッチング用気体に対するMoWのエッチング速度を示した図表である。

【図14】本発明の第1実施例による薄膜トランジスタの製造方法のうち、他の乾式エッチング用気体に対するMoWのエッチング速度を示したグラフである。

【図15】圧力を変化させて測定したMoWのエッチング速度と均一度を示したグラフである。

【図16】電力を変化させて測定したMoWのエッチング速度と均一度を示したグラフである。

【図17】流量を変化させて測定したMoWのエッチング速度と均一度を示したグラフである。

【図18】水素プラズマ処理前後の薄膜トランジスタの 特性を示したグラフである。

【図19】ヘリウムプラズマ処理後の薄膜トランジスタの特性を示したグラフである。

【図20】本発明の第1実施例による薄膜トランジスタの製造過程から検出されるイオンの種類と量を示したグラフである。

【図21】HC1+CF₄気体を用いてドーピングされた非晶質シリコン層を乾式エッチングする工程を反復的に実施した場合のモリプデンータングステン合金のエッチング量と非晶質シリコン層のエッチング速度を示したグラフである。

【図22】HC1+CF4気体を用いてドーピングされた非晶質シリコン層を乾式エッチングする工程を反復的に実施した場合のモリプデンータングステン合金のエッチング量と非晶質シリコン層のエッチング速度を示したグラフである。

【図23】HC1+CF₄気体に酸素を追加した場合、 非晶質シリコン層とモリプデン-タングステン合金のエッチング量を測定したグラフ及び図表である。

【図24】HC1+CF₄気体に酸素を追加した場合、 非晶質シリコン層とモリプデン-タングステン合金のエ ッチング量を測定したグラフ及び図表である。

【図25】HC1+CF₄気体に酸素を追加した場合、 非晶質シリコン層とモリブデン-タングステン合金のエッチング量を測定したグラフ及び図表である。

【図26】HC1+CF₄気体に酸素を追加した場合、 非晶質シリコン層とモリプデン-タングステン合金のエッチング量を測定したグラフ及び図表である。

【図27】HC1+CF₄+O₂を乾式エッチング用気体 として用いた場合の薄膜トランジスタの特性を示したグ ラフである。

【図28】 $HC1+CF_4+O_2$ を乾式エッチング用気体 として用いた場合の薄膜トランジスタの特性を示したグ ラフである。

【図29】 $HC1+CF_4+O_2$ の気体を用いたモリブデンータングステン合金のエッチング量と非晶質シリコン層のエッチング速度を示したグラフである。

【図30】本発明の第2実施例による薄膜トランジスタの製造過程を示した断面図である。

【図31】本発明の第2実施例による製造方法と、それによるドーピングされた非晶質シリコン層のエッチング 量を示した図表である。

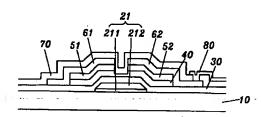
【図32】本発明の第2実施例による薄膜トランジスタのEDSテスト結果を示した図表である。

【図33】本発明の第2実施例による薄膜トランジスタ の電子移動度を計算した図表である。

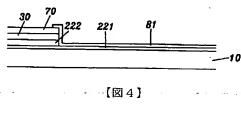
【符号の説明】

- 10 基板
- 20 ゲート線
- 21 ゲート電極
- 22 ゲートパッド
- 30 ゲート絶縁膜
- 50、51、52ドーピングされた非晶質シリコン層
- 40 非晶質シリコン層
- 60 データ線
- 61ソース電極
- 62 ドレイン電極
- 63 データパッド
- 70 保護膜
- 71、72、73 接触孔
- 80 画素電極
- 81 ゲートパッド用のIT〇電極
- 82 データパッド用のITO電極
- 211、221 クロム膜
- 212、222 アルミニウムーネオジム合金膜
- 900 フォートレジスト

[図2]

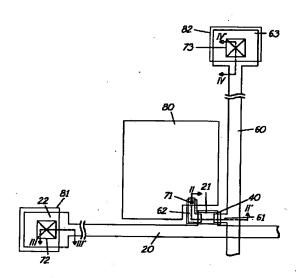


【図3】

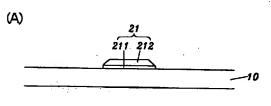


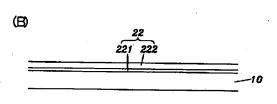


[図1]

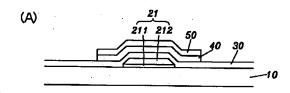


[図5]

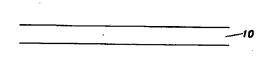




【図6】



(C)

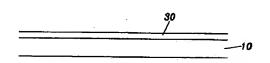


【図9】

(B)	22 221 222	30	
	ZZI ZZZ		-
			10

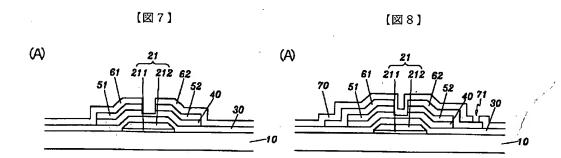
気体種類	展金
Cl: +SFe	有
HCl+SF.	*
HCl+CF.	有
1st:Cl2+SF. 2nd:O2 73X4	#

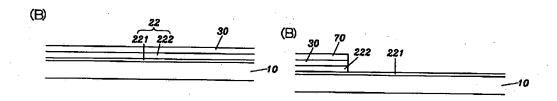
(C)

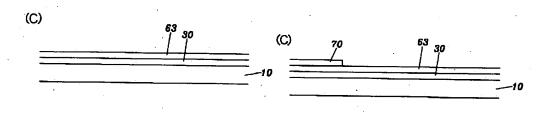


【図11】

	T		TFT特性		
,	状態	loff (pA)	lon (#A)	Vth (v)	勾配
電力	500	0.18	2.18	3.1	101
(watts)	800	0.2	2.1	3.1	100
10000	1000	0.2	2.1	3.7-	- 99-
	400	0.1	2.1	3.0	99
压力	600	0.1	2.1	3.2	99
(mTorr)	800	0.1	2.1	3.0	101
	1000	0.1	2.0	3.3	99

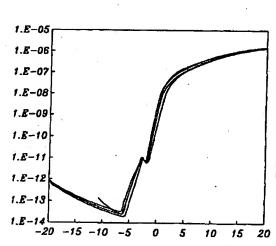






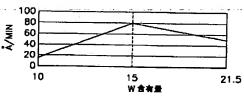
【図10】

【図12】



フッ化物	温度(℃)	塩化物	温度(℃)
WF,	20	WCI ₆	345
WOF ₄	190	WOCI ₄	230
M₀F₅	35	M _o Cl _s	270
M _o OF ₄	180	M _o OCI ₄	180
TiF	385(s)	TiCI.	135
TaF,	230	ToCl	240
SiF,	-85	SiCI,	60
AIF,	1290(s)	AlCI ₃	180(s)

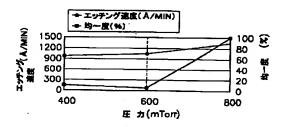
【図14】



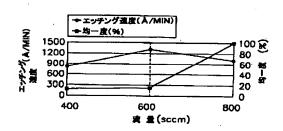
【図13】

MoW含有量 (aim%)	Cl2+SF6	HCl+SF6	
0%	200 Å/min	150 Å/min	
0% -10%	243 A/min	261 A/min	
10% -20%	592 Å/min	280 A/min	
20% -30%	604 A/min	313 A/min	

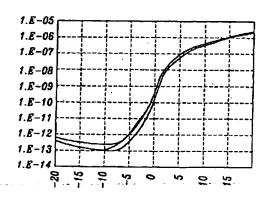
【図15】



【図17】

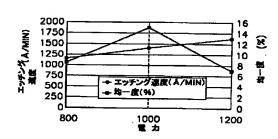


【図19】

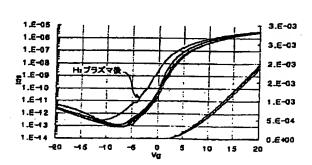


Hoプラズマ15

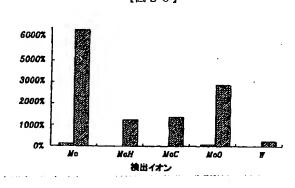
【図16】



【図18】



【図20】



Ho プラズマ 2 6

He プラズマ 3 7 Ho プラズマ 4 8

8 0.5 1300 元 1300 元 1100 0.2 1000 0.2 1000 0.1 1000 0.2 1000 0.1 1000 0.2 1000 0.1 1000 0.2 1000 0.1 1000 0.2 1000 0.1 1000 0.2 1000 0.1 1000 0.2 1000 0.1 1000 0.2 1000 0.2 1000 0.2 1000 0.1 1000 0.2

【図22】

02	エッチング連盟	(Å/min)	
(SCCM)	a-Si	Mo-W	
20	598	650	
50	320	-100	多量の
100	219	-200	重合体

【図24】

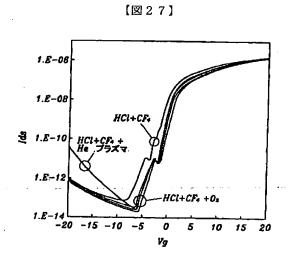
◆ a-Si:H エッチング速度 ■ Mo-T エッチング速度

【図26】

		[図25】	
;	1000			·
	800	•	(c)	•
*	600		•	
ナング数	600 400 200			
H	200	_	•	•
	ے ہ	20	50	100
		0:	(SCCM) 注意	
	◆ B	-Si: <u>H</u> エッチ:	ング速度 ■ Mo-	ア エッチング速度

Os 量 (SCCM)	エッチング連盟	k (Å/min)	,
	a-Si	Mo-W]
20	771	52	
50	708	-166	多量の
100	115	-100	重合体

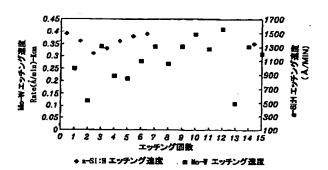
900 — PR — 900 610 — 620 400 — 600 300 — 100



【図28】

A	T F T # 15			
条件	Ioff(pA)	Ion(#A)	Vth(dc)	Crad
HCl+CF₄	2.04	3.47	2.25	128
HCl+CF4 + He プラスマ	0.4	3.0	2.6	118
HCl+CF+ +O≥	0.3	3.22	2.7	123

[図29]



【図32】

条件	loff(pA)	Ion(#A)	_Vth(V)	Grad	接触抵抗(KQ)	S/D 抵抗
1	0.2	2.7	3.01	113	8.18	2.20
	0.08	2.95	2.88	117	8.60	2.23
2	0.24	2.83	2.84	115	9.02	2.23
~	0.26	3.01	2.82	119	9.99	2.24
	0.18	2.85	2.97	116	8.62	2.19
3	0.51	3.37	2.48	127	9.58	2.20
	0.63	3.28	2.48	125	8.68	2.19
	5.68	4.02	2.59	142	17.2	2.19
	1.27	3.97	2.75	141	23.4	2.19
5	0.24	3.67	2.84	133	25.4	2.17
	0.64	4.11	2.49	144	65.8	2.19
6	0.57	4.28	2.53	146	37.7	2.18
	0.68	4.21	2.59	145	25.6	2.18

[図33]

·										
条件	グート ACICD	S/D ACICD	Сар	Area (µ m²)	CI(F/cf)	設計	100 BH	実際 W	実際	移動度
1	9.231	8.847	0.9	498713.28	1.56+10			12.847	4.653	0.570
			77.85	498713.28	1.56+10ª					0.644
2	9.231	8.847	77.75	498713.28	1.56+10		1		4 663	0.614
-	5.20,	u.o+,	77.06	498713.28	1.56+10		l	12.847	4.653	0.664
			76.91	498713.28	1.56+10					0.638
3	9.231	8.847	77.68	498713.28	1.56+10	4.4	7.5	12 047	4.667	0.750
	3.231	0.047	77.27	498713.28	1.56+10	14	3.5	12.847	4.653	0.731
4	9.095	8.847	76.08	498521.21	1.56+10			10.070	4.670	0.951
			77.72	498521.21	1.56+10			12.870	4.630	0.918
5	9.095	8.847	79.01	498521.21	1.56+10		Ì	12.870	4.630	0.803
			78.87	498521.21	1.56+104					0.942
6	9.095	8.87	79.57	498521.21	1.56+10			12.870	4.630	0.961
PH 1 41			80.45	498521.21	1.56+10 ⁸		1			0.937

[図31]

		-	3 4 5	
条	P.R 条件	Talis-e.u	n.a-Si 層エッチンク条件	
:		エッチング	灰化	エッチンク書(A)
1		エッチング+he ブラズマ	×	1283
2	P.R 際大後 na-Si 届	エッチング(CF4+HCI) +Haプラズマ	现	
က	-0101	エッチング(CF4+HCI)	灰 化+ 原位置 He プラズマ	1289
4		サンチでエ	47 15	1154
	P.R 56		2	1167
5	個われた 状態 c re-Si m	エッチング(OF4+HGI)	灰化+ He プラズマ	1166
· ·	トッチング	TO TO THE STATE OF	及	1114
>		ナンナン (CF4+HGI)	原位置 He プラズマ	1211

【公報種別】特許法第17条の2の規定による補正の掲載 【部門区分】第7部門第2区分 【発行日】平成13年4月20日(2001.4.20)

【公開番号】特開平11-274514

【公開日】平成11年10月8日(1999.10.8)

【年通号数】公開特許公報11-2746

【出願番号】特願平11-23336

【国際特許分類第7版】

H01L 29/786

21/336

G02F 1/136 500

H01L 21/3065

[FI]

H01L 29/78 616 L

G02F 1/136 500

H01L 21/302 J

29/78 627 Z

【手続補正書】

【提出日】平成11年9月22日(1999.9.2 2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】基板上にゲート電極を形成する段階と、 前記ゲート電極を覆うゲート絶縁膜を形成する段階と、 前記ゲート電極上の前記ゲート絶縁膜上に非晶質シリコ ン層を形成する段階と、

前記非晶質シリコン層上にドーピングされた非晶質シリコン層を形成する段階と、

前記ドーピングされた非晶質シリコン層上に前記非晶質シリコン層を中心にして両側にソース電極とドレイン電極とを形成する段階と、

前記ドーピングされた非晶質シリコン層を乾式エッチン グする段階と、

酸素プラズマ工程を実施する段階と、を含む薄膜トランジスタの製造方法。

【請求項2】前記酸素プラズマ工程は前記乾式エッチング段階以降に原位置のままで実施する請求項1に記載の 薄膜トランジスタの製造方法。

【請求項3】前記ソース電極及びドレイン電極はアルミニウムまたはアルミニウム合金の単一膜またはこれらを含む二重膜で形成する<u>請求項1または2</u>に記載の薄膜トランジスタの製造方法。

【請求項4】前記酸素プラズマを実施する段階における 圧力は1000mTorr以下である請求項1~3のい ずれかに記載の薄膜トランジスタの製造方法。

【請求項5】前記酸素プラズマ工程を実施する段階における電力は1000ワット以下である請求項4に記載の薄膜トランジスタの製造方法。

【請求項6】前記乾式エッチング段階で用いられるエッチング用の気体はC1気体を含む<u>請求項1~5のいずれか</u>に記載の薄膜トランジスタの製造方法。

【請求項7】前記酸素プラズマ工程を実施する段階において、 CH_4 、 SF_6 、 C_2F_6 、 CHF_3 、 C_2F_8 気体を追加することも可能である請求項6に記載の薄膜トランジスタの製造方法。

【請求項8】基板上にゲート電極を形成する段階と、 前記ゲート電極を覆うゲート絶縁膜を形成する段階と、 前記ゲート電極上の前記ゲート絶縁膜上に非晶質シリコ ン層を形成する段階と、

前記非晶質シリコン層上にドーピングされた非晶質シリコン層を形成する段階と、

前記ドーピングされた非晶質シリコン層にソース電極と ドレイン電極とを形成する段階と、

前記ソース電極とドレイン電極とをマスクにして前記ドーピングされたシリコン層をHCl+CF₄+O₂気体を用いて乾式エッチングする段階と、を含む薄膜トランジスタの製造方法。

【請求項9】前記ソース電極及びドレイン電極はモリブデンまたはモリブデンータングステン合金の単一膜またはこれらを含む二重膜で形成する請求項8に記載の薄膜トランジスタの製造方法。

【請求項10】前記 O_2 の流量は前記 CF_4 流量 $O_1/5$ 以下である<u>請求項8または9</u>に記載の薄膜トランジスタの製造方法。

【請求項11】前記 O_2 の流量は100sccm以下である<u>請求項 $8\sim100$ いずれか</u>に記載の薄膜トランジスタの製造方法。

【請求項12】基板上にゲート電極を形成する段階と、 前記ゲート電極を覆うゲート絶縁膜を形成する段階と、 前記ゲート電極上の前記ゲート絶縁膜上に非晶質シリコン層を形成する段階と、

前記非晶質シリコン層上にドーピングされた非晶質シリコン層を形成する段階と、

前記ドーピングされた非晶質シリコン層上に前記非晶質シリコン層を中心にして両側にソース電極とドレイン電極とを形成する段階と、

前記ドーピングされた非晶質シリコン層を乾式エッチングする段階と、

ヘリウムプラズマ工程を実施する段階と、を含む薄膜ト ランジスタの製造方法。

【請求項13】前記ヘリウムプラズマ工程は前記乾式エッチング段階以降に原位置のままで実施する請求項12 に記載の薄膜トランジスタの製造方法。

【請求項14】前記ソース電極及びドレイン電極は、モリプデンまたはモリプデンータングステン合金で形成する<u>請求項12または13</u>に記載の薄膜トランジスタの製造方法。

【請求項15】前記乾式エッチング段階において、エッチング用の気体としてはCF4+HC1を用いる<u>請求項</u>12~14のいずれかに記載の薄膜トランジスタの製造

方法。

【請求項16】前記ソース電極とドレイン電極とを形成する段階は、前記ドーピングされた非晶質シリコン層上に金属膜を蒸着する段階と、前記金属膜上にフォトレジストパターンを形成する段階と、前記フォトレジストパターンをマスクにして前記金属膜をエッチングすることでソース電極とドレイン電極を形成する段階とを含み、前記ドーピングされた非晶質シリコン層を乾式エッチングする段階と、前記ソース電極とドレイン電極とをマスクにして前記ドーピングされた非晶質シリコン層を乾式エッチングする段階とを含む、請求項12~15のいずれかに記載の薄膜トランジスタの製造方法。

【請求項17】前記ソース電極とドレイン電極とを形成する段階は、前記ドーピングされた非晶質シリコン層上に金属膜を蒸着する段階と、前記金属膜上にフォトレジストパターンを形成する段階と、前記フォトレジストパターンをマスクにして前記金属膜をエッチングすることでソース電極とドレイン電極を形成する段階とを含み、前記ドーピングされた非晶質シリコン層を乾式エッチングする段階は、前記フォトレジストパターンをマスクにして前記ドーピングされた非晶質シリコン層を乾式エッチングする段階と、前記フォトレジストパターンを除去する段階とを含む、請求項12~15のいずれかに記載の薄膜トランジスタの製造方法。